



## 特許協力条約に基づいて公開された国際出願

<b>(51) 国際特許分類6</b> <b>H01L 21/60, H05K 1/03</b>	<b>A1</b>	<b>(11) 国際公開番号</b> <b>WO97/03460</b>  <b>(43) 国際公開日</b> <b>1997年1月30日 (30.01.97)</b>
<b>(21) 国際出願番号</b> PCT/JP96/01905 <b>(22) 国際出願日</b> 1996年7月9日 (09.07.96) <b>(30) 優先権データ</b> 特願平7/176061 1995年7月12日 (12.07.95) JP <b>(71) 出願人 (米国を除くすべての指定国について)</b> ホーヤ株式会社(HOYA CORPORATION)[JP/JP] 〒161 東京都新宿区中落合2丁目7番5号 Tokyo, (JP) <b>(72) 発明者; および</b> <b>(75) 発明者/出願人 (米国についてののみ)</b> 加賀爪猛(KAGATSUME, Takeshi)[JP/JP] 〒161 東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内 Tokyo, (JP) <b>(74) 代理人</b> 弁理士 服部毅巖(HATTORI, Kiyoshi) 〒192 東京都八王子市東町9番8号 八王子東邦生命ビル 服部特許事務所 Tokyo, (JP)		<b>(81) 指定国</b> JP, US.  <b>添付公開書類</b> 国際調査報告書
<b>(54) Title: BARE CHIP MOUNTED BOARD, METHOD OF MANUFACTURING THE BOARD, AND METHOD OF FORMING ELECTRODE OF BARE CHIP</b>  <b>(54) 発明の名称</b> ベアチップ搭載ボード、ベアチップ搭載ボードの製造方法及びベアチップの電極形成方法  <div data-bbox="521 1262 1138 1493" data-label="Image"> </div> <b>(57) Abstract</b> A bare chip mounted board on which electronic parts can be mounted at a high density. A bare chip (2) is mounted on a glass substrate (1) and various kinds of thin film electronic elements are formed on the substrate (1). The thin film electronic elements shown in the figure are TFT (3), a diode (4), a capacitor (5), and a resistor (6), all being covered with a protective film (7). The electronic elements are formed by lithography. A wiring layer is also formed by lithography. The bare chip (2) does not have any pad for electrode and electrode terminals are led out from the wiring layer on the lower surface of the chip (2) and directly connected to the connecting terminals of the substrate (1) through A1 wiring (8). When the glass substrate (1) is used as a printed wiring board in such a way, thin film electronic elements can be formed at a high density by lithography.		

# (57) 要約

電子部品を高密度に形成できるようにしたベアチップ搭載ボードである。ガラス基板(1)上には、各種薄膜電子素子が形成されているとともにベアチップ(2)が実装されている。図示されている薄膜電子素子は、TFT(3)、ダイオード(4)、コンデンサ(5)、及び抵抗(6)である。薄膜電子素子は保護膜(7)で覆われている。これらは、リソグラフィーにより形成されている。同様に、リソグラフィーにより配線層が形成されている。ベアチップ(2)には電極用のパッドが設けられておらず、電極端子がチップの下面の配線層から取り出されている。その電極端子がガラス基板(1)の接続端子にA1配線(8)により直接接続されている。このように、プリント配線基板としてガラス基板(1)を用いることにより、リソグラフィーによる高密度の薄膜電子素子の形成が可能となる。

## 情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	FI	フィンランド	LR	リベリア	RS	セルビア
AZ	アゼルバイジャン	FR	フランス	LS	レソト	SE	スウェーデン
BA	ボスニア・ヘルツェゴビナ	GB	イギリス	LT	リトアニア	SI	スロベニア
BB	ババルグナ・ファン	GG	ギナニア	LV	ラトヴィア	SK	スロバキア
BE	ベルギー	GR	ギリシャ	MC	モナコ	SN	セネガル
BG	ブルガリア	HN	ホンデュラス	MD	モルドバ	SZ	ス威士ランド
BJ	ベナン	HU	ハンガリー	MG	マダガスカル	TD	チュニジア
BR	ブラジル	IE	アイルランド	MK	マケドニア共和国	TG	トーゴ
BY	ベラルーシ	IL	イスラエル	ML	マリ	TH	タイ
CA	カナダ	IT	イタリア	MN	モンゴル	TM	トルクメニスタン
CC	中東	JP	日本	MR	モーリタニア	TR	トルコ
CF	中央アフリカ共和国	KE	ケニア	MW	マラウイ	UA	ウクライナ
CG	コンゴ	KR	韓国	MX	メキシコ	UG	ウガンダ
CH	スイス	KP	朝鮮民主主義人民共和国	NE	ニジェール	UZ	ウズベキスタン
CI	コート・ジボアール	KZ	カザフスタン	NL	オランダ	VN	ベトナム
CM	コンゴ			NO	ノルウェー		
CN	中国			NZ	ニュージーランド		
CU	キューバ						
CZ	チェコ共和国						

## 明 細 書

ベアチップ搭載ボード、ベアチップ搭載ボードの製造方法  
及びベアチップの電極形成方法

5

## 技 術 分 野

本発明は基板上に各種半導体部品が設けられたベアチップ搭載ボード、そのベアチップ搭載ボードの製造方法、及びプリント配線基板に直接実装されるベアチップの電極形成方法に関し、  
10 特に装置の小型化を図ったベアチップ搭載ボード、小型化を可能とするベアチップ搭載ボードの製造方法、及び小型化したチップをプリント配線基板に実装するためのベアチップの電極形成方法に関する。

15

## 背 景 技 術

コンピュータ等の装置の小型高性能化に伴い、半導体チップを搭載した各種ボードの小型化が望まれている。ボードを小型化にするには、各種半導体チップを小さくすることが有効な手段である。一般的には、CPUチップ等の半導体チップはパッケージに組み込まれており、このパッケージがプリント基板に  
20 実装されている。半導体チップ自体はパッケージの大きさにくらべ非常に小さい。従って、半導体チップを直に基板に実装すれば、パッケージを省ける分ボードを小さくすることができる。なお、このようなパッケージに組み込まれていない半導体チップは、ベアチップと呼ばれている。  
25

最近では良品保証されたベアチップ（K G D : Known Good

Die) が半導体メーカから出荷されるようになってきており、各種ボードメーカもベアチップの入手が可能となっていてきている。そこで、ベアチップを直接プリント基板に実装するための技術が重要となる。

- 5       ベアチップをプリント基板に実装する技術としては、ワイヤボンディング方式やフリップチップ方式がある。ワイヤボンディング方式は、電極パッドをチップ周辺に配置して、電極パッドから配線パターン上へ金属細線で結線する方式である。一方、フリップチップ方式では、チップの電極上にバンプと呼ばれる  
10       半田ボールが設けられており、このバンプを下向きにして配線パターンに接触させる。そして、バンプを溶融させることにより電氣的接続を行う。

      このような技術を用いて、MCM (マルチ・チップ・モジュール) 等が製品化されてきている。

- 15       しかし、ワイヤボンディングを行ったりバンプを設けるためには、内部配線に比べ非常に大きな電極用パッドが設けられていなければならない。つまり、ワイヤボンディング方式ではワイヤを機械的に打ちつけるため、その際の位置誤差の許容範囲を大きく取らなければならず、パッドを小さくすることができ  
20       ない。一方、フリップチップ方式では、パッドの間隔を狭くすると半田同士がショートする危険性が増大する。このように、従来の方式ではパッドを小さくすることが困難でありベアチップの小型化に制限があった。このため、ベアチップを搭載したボードの小型化にも限界があった。

- 25       なお、モジュール基板上に電子部品を形成する技術としてリソグラフィーがあり、リソグラフィーを用いれば電子部品や配

線パターンを高密度化することも可能である。そして、配線パターンを高密度化することができればボードを小さくすることが可能となる。ところが、従来のようなガラスエポキシやセラミックス等によるプリント基板は表面の平滑性が十分に得られず、リソグラフィーを用いても電子部品を高密度化することができない。

また、ベアチップを直接プリント基板に実装すると、製造されたボードの信頼性に関して、次のような問題も生じる。

信頼性に関する第1の問題は、基板にガラスエポキシを用いると、基板のアルカリイオンが、搭載されたベアチップに移行してしまうことである。このようなアルカリイオンの移行は誤動作の原因となり、信頼性の低下を招く。

信頼性に関する第2の問題は、セラミックスやガラスエポキシを用いた基板の熱膨張率が搭載された各種半導体部品（例えばシリコン）の熱膨張率と大きく異なるため、経時変化により基板と半導体部品との間で接触不良が生じ易くなることである。

### 発 明 の 開 示

本発明はこのような点に鑑みてなされたものであり、電子部品が高密度に、かつ信頼性よく形成できるベアチップ搭載ボードを提供することを目的とする。

また、本発明の別の目的は、極めて小さな電極により、ベアチップとプリント配線基板とを結線することができるベアチップ搭載ボードの製造方法を提供することである。

さらに、本発明の他の目的は、ベアチップ上に極めて小さな電極を形成することができるベアチップの電極形成方法を提供

することである。

本発明では上記課題を解決するために、基板上に各種半導体部品が設けられたベアチップ搭載ボードにおいて、ガラス基板上に薄膜電子素子と配線層とが形成されたプリント配線基板と、  
5 前記プリント配線基板上に実装され、電極が前記配線層に直に結線されたベアチップと、を有することを特徴とするベアチップ搭載ボードが提供される。

また、基板上に各種半導体部品が設けられたベアチップ搭載ボードにおいて、無アルカリガラス基板上に薄膜電子素子と配  
10 線層とが形成されたプリント配線基板と、前記プリント配線基板上に実装されたベアチップと、を有することを特徴とするベアチップ搭載ボードが提供される。

また、基板上に各種半導体部品が設けられたベアチップ搭載ボードにおいて、熱膨張係数がシリコンと近似しているガラス  
15 基板上に薄膜電子素子と配線層とが形成されたプリント配線基板と、前記プリント配線基板上に実装されたベアチップと、を有することを特徴とするベアチップ搭載ボードが提供される。

また、各種半導体部品を搭載するベアチップ搭載ボードの製造方法において、内部半導体素子に接続された配線層のうち適  
20 当な部分をリソグラフィーを用いて露出させた状態のベアチップの表面に、リソグラフィーにより電極を形成するとともに、前記電極に接続するための配線層を、ガラス基板を用いたプリント配線基板の表面にリソグラフィーにより形成し、前記電極を前記配線層に結線することにより前記ベアチップを前記プリント配線基板に実装する、ことを特徴とするベアチップ搭載ボ  
25 ードの製造方法が提供される。

さらに、プリント配線基板に直接実装されるベアチップの電極形成方法において、内部回路の配線層が形成された状態のベアチップの表面を保護膜で覆い、電極を取り出すべき位置の前記保護膜をリソグラフィーにより除去し、前記保護膜が除去された位置にリソグラフィーにより電極用金属を形成する、ことを特徴とするベアチップの電極形成方法が提供される。

上記に示すベアチップ搭載ボードによれば、ガラス基板の平滑度の高い表面上に高密度に薄膜電子素子が形成される。そして、半導体素子をベアチップの状態で直接結線し実装することにより、プリント配線基板の回路全体が高密度になり、非常に狭い領域内に各種電子回路が形成される。

また、無アルカリガラス基板上に薄膜電子素子と配線層とが形成されたプリント配線基板であることにより、搭載されるベアチップ、TFT(Thin Film Transistor)、ダイオード、抵抗、コンデンサ等の薄膜電子素子と基板との間でアルカリイオンの移行が生じることがなく、信頼性の高いベアチップ搭載ボードが得られる。

また、熱膨張係数がシリコンと近似しているガラス基板上に薄膜電子素子と配線層とが形成されたプリント配線基板であることにより、搭載されるベアチップと基板との間で、経時変化による接触不良の発生を防止することができ、信頼性の高いベアチップ搭載ボードが得られる。

また、上記に示すベアチップ搭載ボードの製造方法によれば、内部半導体素子に接続された配線層のうち適当な部分をリソグラフィーを用いて露出させた状態のベアチップの表面に、リソグラフィーにより電極を形成するとともに、電極に接続するた

めの配線層を、ガラス基板を用いたプリント配線基板の表面にリソグラフィーにより形成することにより、ベアチップの内部配線の幅と同程度の大きさの電極と、その電極を接続するための配線層が設けられる。ベアチップの電極をプリント配線基板の配線層に結線することによりベアチップをプリント配線基板に実装しているので、非常に狭い領域にベアチップを実装することができる。

さらに、上記に示すベアチップの電極形成方法によれば、内部回路の配線層が形成された状態のベアチップの表面を保護膜で覆い、電極を取り出すべき位置の保護膜をリソグラフィーにより除去し、保護膜が除去された位置にリソグラフィーにより電極用金属を形成することにより、ベアチップに電極パッドがなくとも、内部の配線層に直接接続された電極端子が設けられる。

15

#### 図面の簡単な説明

図1は本発明のベアチップ搭載ボードの断面図、

図2は熱膨張率の要件を満たした無アルカリガラスの組成を示した表、

20 図3は、ベアチップに電極端子を設ける工程を示す図、

図4はプリント配線基板（PCB）に電極を配線する工程を示す図、

図5はプリント配線基板にベアチップを実装する工程を示す図、

25 図6はプリント配線基板とベアチップとの接合部の拡大図である。

### 発明を実施するための最良の形態

以下、本発明の実施例を図面に基づいて説明する。

図 1 は本発明のベアチップ搭載ボードの断面図である。ガラス基板 1 上には、各種薄膜電子素子が形成されているとともにベアチップ 2 が実装されている。

図示されている薄膜電子素子は、TFT 3、ダイオード 4、コンデンサ 5、及び抵抗 6 である。薄膜電子素子は保護膜 7 で覆われている。これらは、LCD（液晶表示装置）の基板の製造に利用されているリソグラフィーにより形成されている。

ベアチップ 2 には電極用のパッドが設けられておらず、電極端子がチップの内部の配線に直接設けられている。この電極端子はチップの内部配線上にリソグラフィーにより設けられた Al 配線である。

そして、ガラス基板 1 上にリソグラフィーにより設けられた配線層と、ベアチップ 2 の電極用の Al 配線とが直接アルミニウム（Al）配線 8 により結線されている。

このように、プリント配線基板としてガラス基板 1 を用いることにより、リソグラフィーによる高密度の薄膜電子素子の形成が可能となる。しかも、ベアチップ 2 はパッドが設けられていないため、その分小型である。

特に、ガラス基板 1 に無アルカリガラスを用いた場合、基板から薄膜電子素子や半導体部品へアルカリイオンが移行することがない。そのため、アルカリイオンの影響で誤動作することがなく、ベアチップ搭載ボードの動作の信頼性が保たれる。ここで、無アルカリガラスとは、ガラス成分中にアルカリ金属を

含まないガラスの総称である。

さらに、ガラス基板 1 の熱膨張率が半導体部品に近ければ、経時変化により基板と半導体部品との間で接触不良が生じることがない。そのため、熱膨張率が半導体部品に近似したガラスを、ガラス基板の材料として用いれば、ベアチップ搭載ボードの動作の信頼性の向上が図れる。半導体部品の材料として使用されているシリコンの平均線熱膨張係数は  $34 \times 10^{-7} / ^\circ \text{C}$  程度であることから、経時変化による接触不良を生じさせないためには、基板の平均線熱膨張係数が  $30 \sim 48 \times 10^{-7} / ^\circ \text{C}$  の範囲内である必要がある ( $100 \sim 300^\circ \text{C}$  の温度帯域で計測した場合)。

図 2 に、熱膨張率の要件を満たした無アルカリガラスの組成を示す。

この図 2 には 3 種類のガラスを示している。第 1 の例の平均線熱膨張係数は  $37 \times 10^{-7} / ^\circ \text{C}$  であり、第 2 の例の平均線熱膨張係数は  $43 \times 10^{-7} / ^\circ \text{C}$  であり、第 3 の例の平均線熱膨張係数は  $46 \times 10^{-7} / ^\circ \text{C}$  である。従って、3 つとも上記の条件を十分に満たしている。即ち、シリコンの熱膨張率に近似した熱膨張率である。

ところで、図 2 に示したガラスは、各組成を若干変化させても、平均線熱膨張係数を  $30 \sim 48 \times 10^{-7} / ^\circ \text{C}$  の範囲内に押さえることができる。

第 1 の例に示したガラスの組成を変えた場合「 $\text{SiO}_2$ 、 $\text{B}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{MgO}$ 、 $\text{CaO}$ 、 $\text{SrO}$ 、及び  $\text{BaO}$ 」を含量で 95 モル%以上含有し、モル%による各成分の含有量が、 $\text{SiO}_2$  が 62%以上で 68%以下、 $\text{B}_2\text{O}_3$  が 8%以

上で 12% 未満、 $Al_2O_3$  が 9% 以上で 13% 以下、 $MgO$  が 1% 以上で 5% 以下、 $CaO$  が 3% 以上で 7% 以下、 $SrO$  が 1% 以上で 3% 未満、 $BaO$  が 1% 以上で 3% 未満あるガラス」であれば、平均線熱膨張係数が  $30 \sim 48 \times 10^{-7} / ^\circ C$  の範囲内に納まる。

また、第 2 の例に示したガラスの組成を変えた場合「モル% による各成分の含有量が、 $SiO_2$  が 55~65%、 $Al_2O_3$  が 7~11%、 $PbO$  が 1~11%、 $MgO$  が 3~13%、 $CaO$  が 7~20%、 $ZnO$  が 3~13%、 $ZrO_2$  が 0~3%、 $F_2$  が 0~3%、 $As_2O_3$  が 0~5%、 $Sb_2O_3$  が 0~5% であるガラス」であれば、平均線熱膨張係数が  $30 \sim 48 \times 10^{-7} / ^\circ C$  の範囲内に納まる。

次に、図 1 に示すベアチップ搭載ボードの製造方法について説明する。製造工程は大別して、パッドの無いベアチップ（パッドレスベアチップ）に電極端子を設ける工程、プリント配線基板に電極を配線する工程、及びプリント配線基板上にパッドレスベアチップを実装する工程に分けることができる。

図 3 はベアチップに電極端子を設ける工程を示す図である。図には、各工程毎のベアチップの断面図を示している。

ステップ 1 (S1) において、パッドの無いベアチップ 10 を用意する。このベアチップ 10 は、シリコン (Si) 基板 11 上に成膜された保護膜 12 の間に、薄膜電子素子が形成されている。この薄膜電子素子は内部回路の配線 14a~14c と、Al 配線 13a~13c とで構成されている。

なお、Al 配線 13a~13c 自体に外部と接続するための特別な処置を必要としない。つまり、従来のベアチップに設け

られていた電極パッドと比べて接合部は非常に小さくてよい。通常電極パッドは $100\mu\text{m}$ 程であったが、A1配線13a～13cの大きさは $2\mu\text{m}$ 以下にまで小さくすることもできる。

5       ステップ2 (S2) において、ベアチップ10の表面に保護膜の保護層15を成膜する。保護膜12と保護層15とを合わせた厚さは、プリント配線基板側の電極接合部の凹凸状態を考慮し、 $5\mu\text{m}$ 前後から $10\mu\text{m}$ 前後程度の開きがある。

10       ステップ3 (S3) において、電極を取り出すべき位置に穴の開けられた配線層取り出し用コンタクトマスクを用いてリソグラフィを行い、A1配線13a～13c上の保護層15に穴16a～16cを設ける。なお、電極を取り出すべき位置は任意であり、チップの周辺でなければならない等の特別の制約はない。

15       ステップ4 (S4) において、表面にアルミや銅等の金属を蒸着、スパッタリング又はメッキし、電極を取り出すべき位置に穴の開けられた配線層形成用マスクを用いてリソグラフィを行い、結線用のA1配線17a～17cを形成する。そして、ステップ2において設けられた保護層15を除去する。残されたA1配線17a～17cが、プリント配線基板に結線するための電極となる。

20

図4はプリント配線基板(PCB)に電極を配線する工程を示す図である。この工程は、ベアチップに電極端子を設ける工程と並行して行われる。図には、各工程毎のプリント配線基板20の断面図を示している。

25       ステップ5 (S5) において、このプリント配線基板20は、ガラス基板21に薄膜電子素子とA1配線27a～27fとが

リソグラフィーにより形成されている。リソグラフィーは、従来よりLCDの基板の製造に用いられているものである。これにより、ガラス基板21上にTFT23、ダイオード24、コンデンサ25、及び抵抗26が形成されている。これらの薄膜電子素子及びA1配線27a～27fは、保護膜22で覆われている。

ステップ6（S6）において、A1配線27c～27eを覆っている保護膜22に対し、ベアチップ10（図3に示す）との接続のための穴28a～28cをあける。この穴28a～28cの位置は、ベアチップ10のA1配線17a～17cの位置と一致するような位置である。

ステップ7（S7）において、穴から露出したA1配線27c～27e上に結線用のA1配線29a～29cを設ける。このA1配線29a～29cがベアチップ10（図3に示す）を接続するための端子となる。

図5はプリント配線基板にベアチップを実装する工程を示す図である。

ステップ8（S8）において、ステップ4（図3に示す）で作成されたベアチップ10を、ステップ7（図4に示す）で作成されたプリント配線基板20上に重ね合わせる。この際、プリント配線基板20のA1配線29a～29cとベアチップ10のA1配線17a～17cとの表面を活性化させておく。そして、プリント配線基板20のA1配線29a～29cとベアチップ10のA1配線17a～17cとの位置が一致するように位置決めを行い電氣的に接触させる。これにより、プリント配線基板20のA1配線29a～29cとベアチップ10のA

1 配線 17 a ~ 17 c とが表面活性化常温結合により結合される。

表面活性化常温結合は、接合界面に反応層のない原子レベルの直接接合であるため、可逆的に分離することができる。この  
5 ような結合は、可逆的インターコネクションと呼ばれる。

ステップ 9 (S 9) において、融合した A 1 配線 31 ~ 33 の周りを絶縁樹脂 34 で固める。

図 6 はプリント配線基板とベアチップとの接合部の拡大図である。ベアチップ 10 の電極付近の断面は、複数の層から成っ  
10 ている。図示されている層は、上からチップ内部回路の配線 14、保護膜 12 である。配線 14 には A 1 配線 13 が接続されており、さらに A 1 配線 13 には表面が活性化された A 1 配線 17 が接続されている。チップ内部の配線 14 の厚さは 0.8  $\mu\text{m}$  であり、A 1 配線 17 の厚さは 5  $\mu\text{m}$  ~ 10  $\mu\text{m}$  である。

15 プリント配線基板 20 には 1.0 ~ 1.2  $\mu\text{m}$  幅の A 1 配線 27 が設けられている。A 1 配線 27 のベアチップと接続すべき部分には保護層に穴が明けられており、表面が活性化された A 1 配線 29 が設けられている。この A 1 配線 29 の位置にベアチップ 10 の A 1 配線 17 を密着させることにより可逆的  
20 インターコネクションが行われる。なお、A 1 配線 29 に対し、ベアチップ接合用として金などの金属バンプをあらかじめ形成しておく、接合の信頼性が一層向上する。

プリント配線基板 20 には、インタフェース 20 a が設けられており、インタフェース 20 a を介してコンピュータのバス  
25 に接続することができる。

なお、上記の例では、配線金属にアルミを使用したものにつ

いて説明したが、配線金属としてはアルミの他に銅やその他の各種合金を使用してもよい。

5 以上のようにして、ガラス基板を用いたプリント配線基板にパッドレスベアチップを実装することができる。ここで、ガラス基板は表面の平滑度が非常に高いため、リソグラフィーの技術を用いて高密度の配線を行うことができる。従って、ガラスエポキシの基板において7層や8層にしていた配線を、2層程度で十分に賄うことができる。しかも、このリソグラフィーを用い  
10 れば、ガラス基板上に高集積度の薄膜電子素子を形成することができる。

また、ベアチップにパッドが不要になることにより、ベアチップを小さくすることができる。例えば、周辺にパッドが設けられている一般的なベアチップのパッド用のスペースは、正方形のパッドの一辺が100～150 $\mu$ m、パッドの周辺に設け  
15 られるスペースが40 $\mu$ mである。ここで、パッド用のスペースの幅を200 $\mu$ mとした場合、ベアチップの大きさに対するパッド用のスペースの占める割合は以下になる。

チップサイズが3.5mm<sup>2</sup>の場合、22%。  
チップサイズが4.0mm<sup>2</sup>の場合、19%。  
20 チップサイズが4.5mm<sup>2</sup>の場合、17%。  
チップサイズが5.0mm<sup>2</sup>の場合、15%。

このように、チップサイズが小さい程パッドレスの効果が大きくなる。チップサイズが小さいということはベアチップ搭載  
25 ボードを小型化できると同時に、ベアチップの製造工程において、1枚の基板からより多くのチップが切り出せるようになる。

以上説明したように本発明では、ガラス基板上に各種薄膜電

子素子が形成されたプリント配線基板上にベアチップを直接実装するようにしたため、ベアチップ搭載ボードを小型化することができる。

5 また、無アルカリガラス、あるいは熱膨張率がシリコンと近似しているガラス基板を用いたプリント配線基板を使用することにより、ベアチップ搭載ボードの高信頼性を得ることができる。このようなプリント配線としては上記の説明で述べたもの以外に、重量%で  $\text{SiO}_2$  が 56 ~ 64 %、 $\text{Al}_2\text{O}_3$  が 18 ~ 24 %、 $\text{Na}_2\text{O}$  が 2 ~ 3 %、 $\text{MgO}$  が 2 ~ 6 %、 $\text{Zn}$  が 10 2 ~ 11 % の組成であり、熱膨張係数が  $100 \sim 300^\circ\text{C}$  の温度帯域で  $31 \sim 36 \times 10^{-7} / ^\circ\text{C}$  であるガラスを用いることもできる。

また、リソグラフィーによりベアチップの内部配線から直接電極を取り出すようにしたため、電極用のパッドが不要となり 15 ベアチップをさらに小さくすることができる。

## 請 求 の 範 囲

1. 基板上に各種半導体部品が設けられたベアチップ搭載  
ボードにおいて、

5      ガラス基板上に薄膜電子素子と配線層とが形成されたプリン  
ト配線基板と、

前記プリント配線基板上に実装され、電極が前記配線層に直  
に結線されたベアチップと、

を有することを特徴とするベアチップ搭載ボード。

10      2. 前記ベアチップは、内部配線の任意の位置において、  
実質的に前記内部配線と同程度の大きさの電極が取り出されて  
いることを特徴とする請求項1記載のベアチップ搭載ボード。

3. 前記プリント配線基板は、前記ガラス基板として、無  
アルカリガラスを用いていることを特徴とする請求項1記載の  
15      ベアチップ搭載ボード。

4. 前記プリント配線基板は、前記ガラス基板として、熱  
膨張係数がシリコンと近似したガラスを用いていることを特徴  
とする請求項1記載のベアチップ搭載ボード。

5. 前記プリント配線基板は、前記ガラス基板として、1  
20      00～300℃の温度帯域における平均線熱膨張係数が30  
～48×10<sup>-7</sup>/℃の範囲内のガラスを用いていることを特  
徴とする請求項4記載のベアチップ搭載ボード。

6. 基板上に各種半導体部品が設けられたベアチップ搭載  
ボードにおいて、

25      無アルカリガラス基板上に薄膜電子素子と配線層とが形成さ  
れたプリント配線基板と、

前記プリント配線基板上に実装されたベアチップと、  
を有することを特徴とするベアチップ搭載ボード。

5 7. 前記プリント配線基板は、前記ガラス基板として、シリコンと熱膨張係数が近似したガラスを用いていることを特徴とする請求項6記載のベアチップ搭載ボード。

8. 前記プリント配線基板は、前記ガラス基板として、  
10 00～300°Cの温度帯域における平均線熱膨張係数が30  
～48×10<sup>-7</sup>/°Cの範囲内のガラスを用いていることを特  
徴とする請求項7記載のベアチップ搭載ボード。

10 9. 基板上に各種半導体部品が設けられたベアチップ搭載  
ボードにおいて、

熱膨張係数がシリコンと近似しているガラス基板上に薄膜電  
子素子と配線層とが形成されたプリント配線基板と、

15 前記プリント配線基板上に実装されたベアチップと、  
を有することを特徴とするベアチップ搭載ボード。

10. 前記プリント配線基板は、前記ガラス基板として、  
100～300°Cの温度帯域における平均線熱膨張係数が3  
0～48×10<sup>-7</sup>/°Cの範囲内のガラスを用いていることを  
特徴とする請求項9記載のベアチップ搭載ボード。

20 11. 各種半導体部品を搭載するベアチップ搭載ボードの  
製造方法において、

内部半導体素子に接続された配線層のうち適当な部分をリソ  
グラフィーを用いて露出させた状態のベアチップの表面に、リ  
ソグラフィー又はメッキにより電極を形成するとともに、前記  
25 電極に接続するための配線層を、ガラス基板を用いたプリント  
配線基板の表面にリソグラフィーにより形成し、

前記電極を前記配線層に結線することにより前記ベアチップを前記プリント配線基板に実装する、

ことを特徴とするベアチップ搭載ボードの製造方法。

- 5        1 2 . 前記ベアチップを前記プリント配線基板に実装する際には、表面が活性化された金属同士を接合することにより、ベアチップの電極を前記プリント配線基板の配線層に結線することを特徴とする請求項 1 1 記載のベアチップ搭載ボードの製造方法。

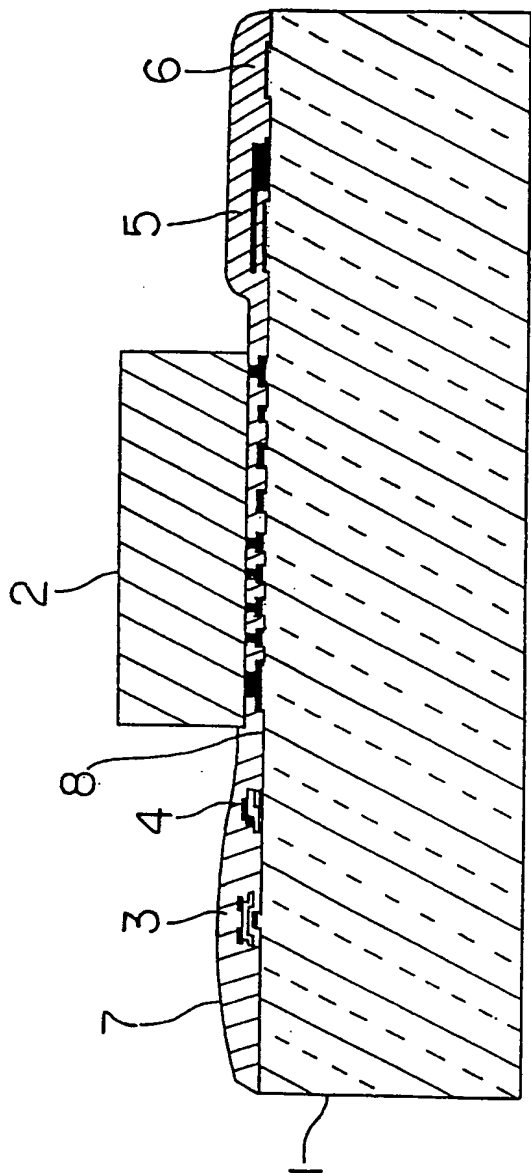
- 10       1 3 . プリント配線基板に直接実装されるベアチップの電極形成方法において、

内部回路の配線層が形成された状態のベアチップの表面を保護膜で覆い、

電極を取り出すべき位置の前記保護膜をリソグラフィーにより除去し、

- 15       前記保護膜が除去された位置にリソグラフィー又はメッキにより電極用金属を形成する、

ことを特徴とするベアチップの電極形成方法。



1

		ガラスの 第1の例	ガラスの 第2の例	ガラスの 第3の例
組成 (モル%)	SiO <sub>2</sub>	67.3	59.0	62.1
	Al <sub>2</sub> O <sub>3</sub>	10.1	9.0	8.0
	B <sub>2</sub> O <sub>3</sub>	10.5	0	16.7
	MgO	1.1	10.9	0
	CaO	5.8	10.8	0.2
	SrO	2.1	0	0
	BaO	2.9	0	12.3
	アルカリ金属酸化物	0	0	0
	ZnO	0	8.7	0
	PbO	0	1.6	0
	As <sub>2</sub> O <sub>3</sub>	0.3	0	0.7
	Sb <sub>2</sub> O <sub>3</sub>	0	0.02	0.04
平均線熱膨張係数 $\alpha_{100\sim 300}$ ( $\times 10^{-7}/^{\circ}\text{C}$ )		37	43	46

図 2

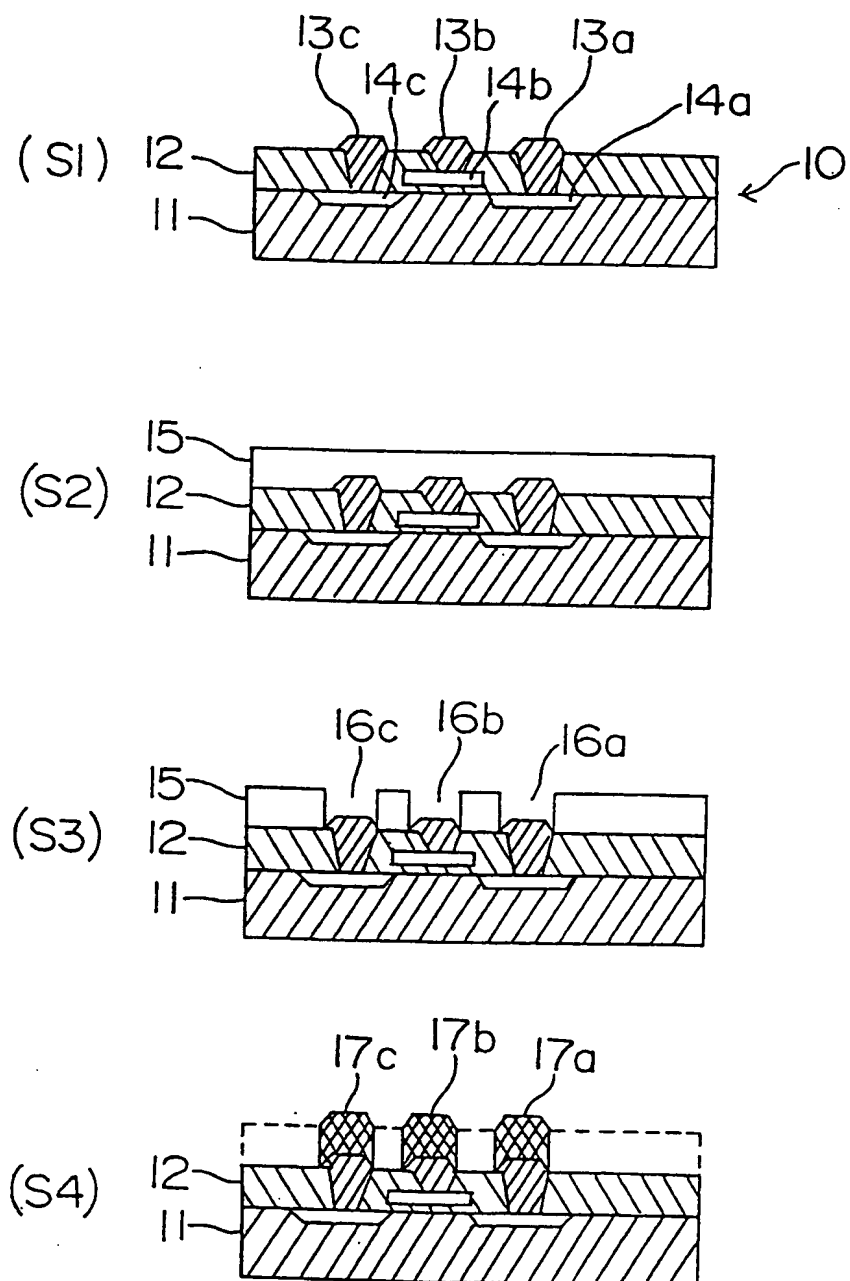


図 3

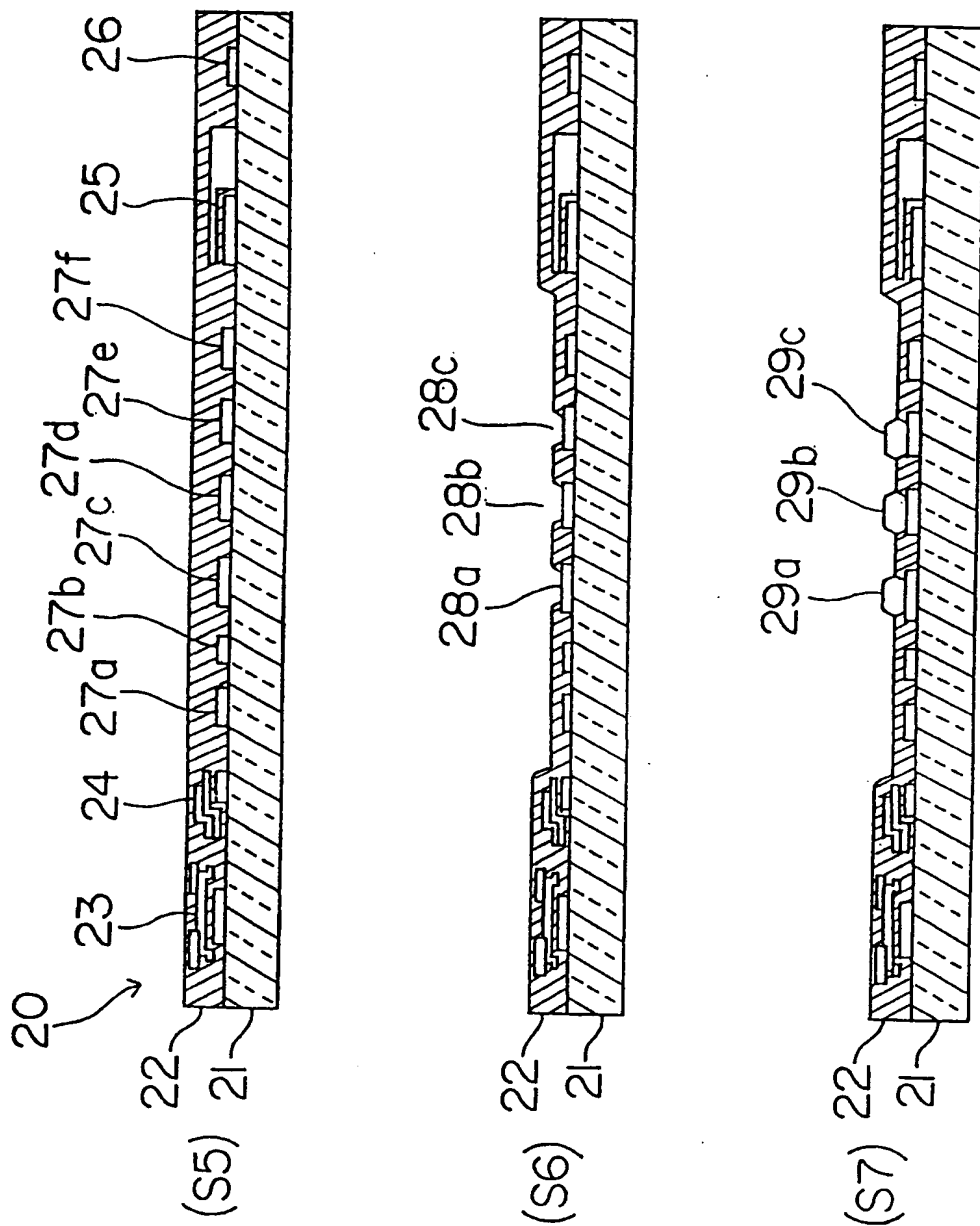
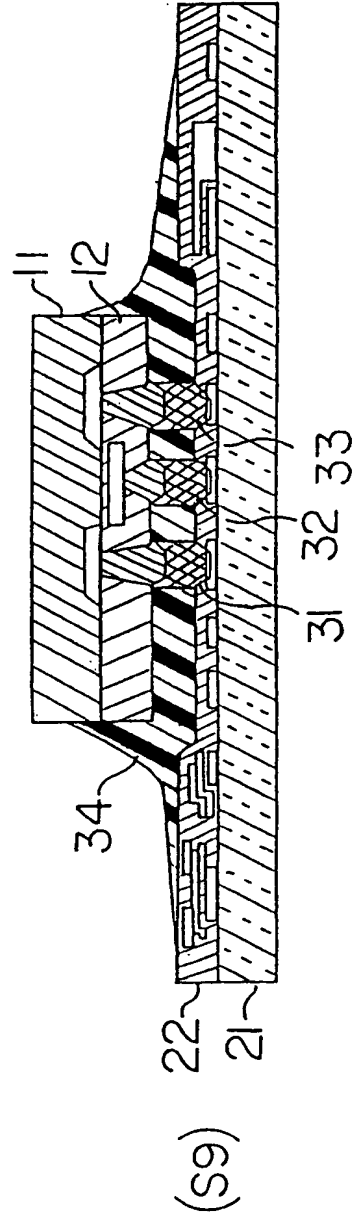
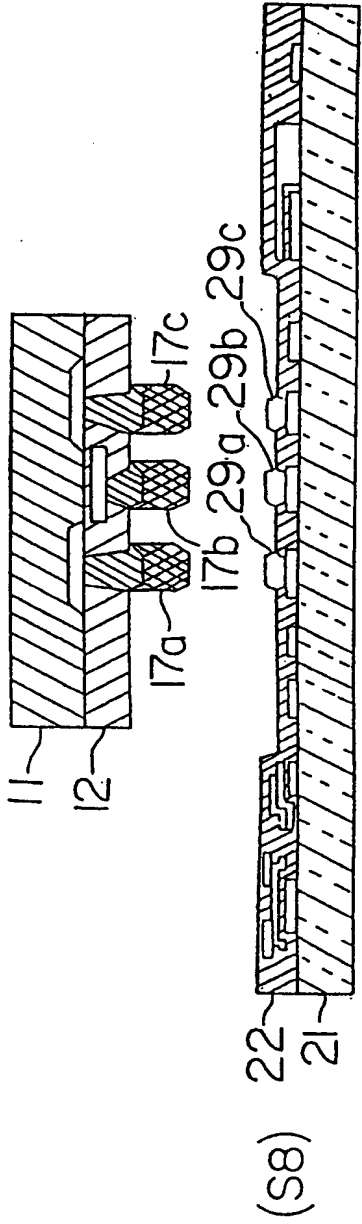


図 4



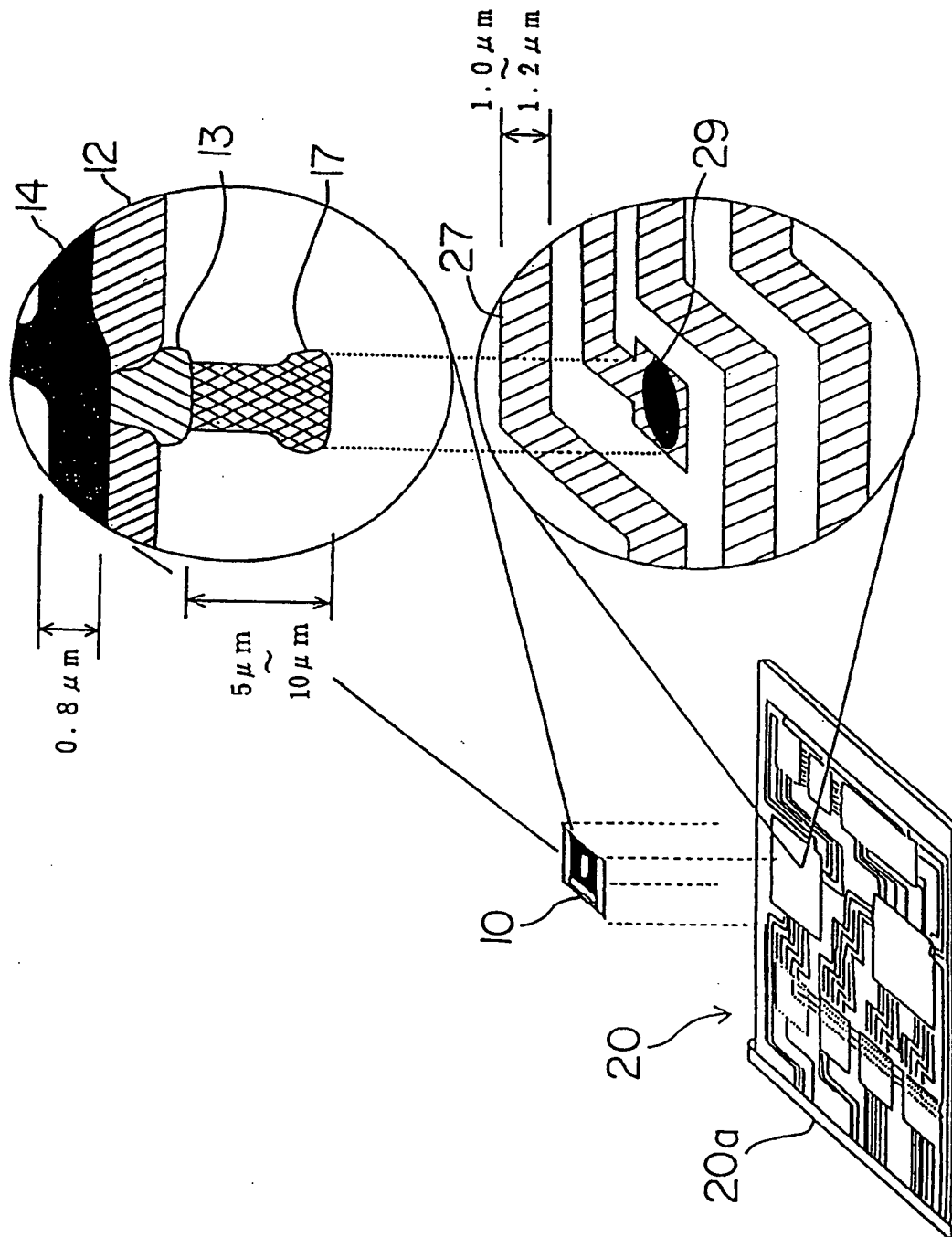


図 6

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01905

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/60, H05K1/03

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/60, H05K1/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 4-103142, A (Hitachi, Ltd.), April 6, 1992 (06. 04. 92), Claim, line 14, lower left column, page 3 to line 15, upper right column, page 4, Fig. 1 (Family: none)	1 2 - 12
Y	Microfilm of the specification and drawings annexed to the written application of Japanese Utility Model Application No. 111208/1980 (Laid-open No. 35051/1982) (Rocoh Co., Ltd.), February 24, 1982 (24. 02. 82), Fig. 2	2
Y	JP, 60-42246, A (Toshiba Corp.), March 6, 1985 (06. 03. 85), Line 5, column 2 to line 1, column 3 (Family: none)	3, 6, 11, 13
Y	JP, 5-235099, A (Toshiba Corp.), September 10, 1993 (10. 09. 93), Lines 46 to 49, column 1 (Family: none)	4, 7, 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search July 17, 1996 (17. 07. 96)	Date of mailing of the international search report July 30, 1996 (30. 07. 96)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01905

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 51-150671, A (Sharp Corp.), December 24, 1976 (24. 12. 76), Lines 3 to 13, lower right column, page 1 (Family: none)	5, 8, 10
Y	JP, 1-140635, A (Hitachi, Ltd.), June 1, 1989 (01. 06. 89), Line 17, upper left column to line 18, upper right column, page 2 (Family: none)	5, 8, 10
Y	JP, 61-296729, A (Fujitsu, Ltd.), December 27, 1986 (27. 12. 86), Line 13, lower left column to line 3, lower right column, page 2 (Family: none)	11
Y	JP, 61-124145, A (Fujitsu Ltd.), June 11, 1986 (11. 06. 86), Lines 3 to 11, column 5 (Family: none)	11, 13
Y	JP, 62-13085, A (Fujitsu Ltd.), January 21, 1987 (21. 01. 87), Lines 17 to 18, column 7 (Family: none)	11, 13
Y	JP, 63-101085, A (Fuji Electric Co., Ltd.), May 6, 1988 (06. 05. 88), Claim, lines 5 to 12, upper right column, page 2 (Family: none)	12
A	JP, 63-122132, A (Matsushita Electric Industrial Co., Ltd.), May 26, 1988 (26. 05. 88), Claim (Family: none)	1 - 13

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>6</sup> H01L21/60 H05K1/03

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>6</sup> H01L21/60 H05K1/03

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 4-103142, A (株式会社日立製作所) 6. 4月. 1992 (06. 04. 92), 特許請求の範囲, 第3頁左下欄, 第14行~第4頁右上欄, 第15行, 第1図 (ファミリーなし)	1 2-12
Y	日本国実用新案登録出願実願昭55-111208号 (日本国実用新案登録出願公開 実開昭57-35051号) の願書に添付された明細書及び図面のマイクロフィルム (株式会社リコー) 24. 2月. 1982 (24. 02. 82), 第2図	2
Y	J P, 60-42246, A (株式会社東芝) 6. 3月. 1985 (06. 03. 85), 第2欄, 第5行~第3欄, 第1行 (ファミリーなし)	3, 6, 11, 13
Y	J P, 5-235099, A (株式会社東芝) 10. 9月. 1993 (10. 09. 93), 第1欄, 第46~49行 (ファミリーなし)	4, 7, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

17. 07. 96

国際調査報告の発送日

30.07.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

金 公 彦

4 E

8 9 2 5

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 51-150671, A (シャープ株式会社) 24. 12月. 1976 (24. 12. 76), 第1頁右下欄, 第3~13行 (ファミリーなし)	5, 8, 10
Y	J P, 1-140635, A (株式会社日立製作所) 1. 6月. 1989 (01. 06. 89), 第2頁左上欄, 第17行~第2頁右上欄, 第18行 (ファミリーなし)	5, 8, 10
Y	J P, 61-296729, A (富士通株式会社) 27. 12月. 1986 (27. 12. 86), 第2頁左下欄, 第13行~第2頁右下欄, 第3行 (ファミリーなし)	11
Y	J P, 61-124145, A (富士通株式会社) 11. 6月. 1986 (11. 06. 86), 第5欄, 第3~11行 (ファミリーなし)	11, 13
Y	J P, 62-13085, A (富士通株式会社) 21. 1月. 1987 (21. 01. 87), 第7欄, 第17~18行 (ファミリーなし)	11, 13
Y	J P, 63-101085, A (富士電機株式会社) 6. 5月. 1988 (06. 05. 88), 特許請求の範囲, 第2頁右上欄, 第5~12行 (ファミリーなし)	12
A	J P, 63-122132, A (松下電器産業株式会社) 26. 5月. 1988 (26. 05. 88), 特許請求の範囲 (ファミリーなし)	1-13